



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2001167572 A**(43) Date of publication of application: **22.06.01**

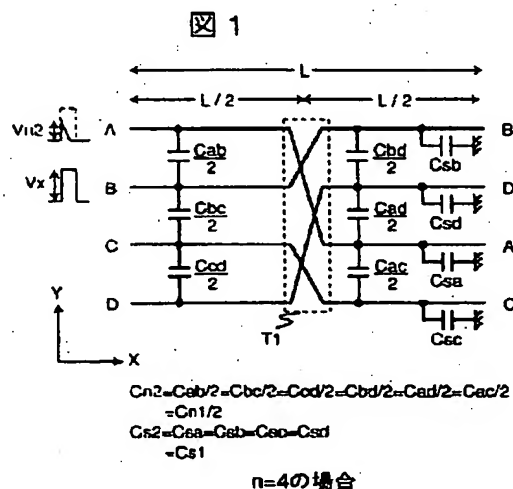
(51) Int. Cl.

**G11C 11/401****H01L 27/108****H01L 21/8242**(21) Application number: **11348401**(22) Date of filing: **08.12.99**(71) Applicant: **HITACHI LTD HITACHI DEVICE  
ENG CO LTD**(72) Inventor:  
**KANETANI KAZUO  
NANBU HIROAKI  
YAMAZAKI SU  
ARAKAWA FUMIHIKO  
KUSUNOKI TAKESHI  
HIGETA KEIICHI  
NAKAHARA SHIGERU  
SUZUKI TAKESHI**(54) **TRANSMISSION CIRCUIT, SEMICONDUCTOR  
INTEGRATED CIRCUIT AND SEMICONDUCTOR  
MEMORY USING THIS CIRCUIT**

(57) Abstract:

**PROBLEM TO BE SOLVED:** To reduce a coupling noise generated through line capacity of an adjacent signal line.**SOLUTION:** This circuit is achieved by providing signal lines of (n) lines (n: integer of 3 or more) arranged adjacently and a wiring twist connection part by which kinds of  $m=n(n-1)/2$  is generated in kinds of adjacent combination (m kinds), and constituting the circuit of a signal wiring pattern in which adjacent length of adjacent signal lines of (m) kinds is equal.

COPYRIGHT: (C)2001,JPO



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開2001-167572

(P2001-167572A)

(43)公開日 平成13年6月22日(2001.6.22)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	チーコード(参考)
G 1 1 C 11/401		G 1 1 C 11/34	3 6 2 B 5 B 0 2 4
H 0 1 L 27/108		H 0 1 L 27/10	6 8 1 B 5 F 0 8 3
21/8242			

審査請求 未請求 請求項の数14 OL (全 10 頁)

(21)出願番号 特願平11-348401

(22)出願日 平成11年12月8日(1999.12.8)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233088

日立デバイスエンジニアリング株式会社

千葉県茂原市早野3681番地

(72)発明者 金谷 一男

東京都国分寺市東座ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(74)代理人 100075096

弁理士 作田 康夫

最終頁に続く

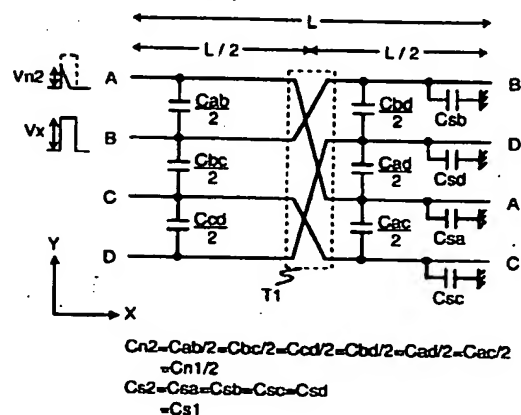
(54)【発明の名称】 伝送回路とこれを用いた半導体集積回路および半導体メモリ

## (57)【要約】

【課題】隣接信号線の線間容量を介して生じるカップリングノイズの低減を図る。

【解決手段】例えばn本(nは3以上の整数)の隣接配置される信号線を有し、上記信号線は上記信号線の隣接組合せ種類(m種類)が $m=n \cdot (n-1) / 2$ 種類生成される配線ツイスト接続部を有し、かつ上記m種類の隣接信号線の隣接長が等しい信号配線パターンで構成されることにより達成される。

図 1



## 【特許請求の範囲】

【請求項1】  $n$ 本 ( $n$ は3以上の整数) の隣接配置される信号線と、出力端子が上記信号線に接続される駆動回路と、入力端子が上記信号線に接続される受信回路とを有する伝送回路において、上記信号線は、上記信号線の隣接組合せ種類 ( $m$ 種類) が  $m = n \cdot (n-1) / 2$  種類生成される配線ツイスト接続部を有し、かつ上記  $m$  種類の隣接信号線の隣接長が等しい信号配線パターンからなることを特徴とする伝送回路。

【請求項2】 上記配線ツイスト接続部が、上記信号線の長さが  $n \cdot k$  等分 ( $n$ が3以上の奇数、および  $k$ は1以上の整数)、または  $n \cdot k / 2$  等分 ( $n$ が4以上の偶数、および  $k$ は1以上の整数) される位置に配置されてなる請求項1記載の伝送回路。

【請求項3】  $N$ 個の上記配線ツイスト接続部 ( $N = n \cdot k - 1$ 個 ( $n$ が3以上の奇数、および  $k$ は1以上の整数) または  $N = n \cdot k / 2 - 1$ 個 ( $n$ が4以上の偶数、および  $k$ は1以上の整数)) が、上記信号線の任意の位置に配置されてなる請求項1記載の伝送回路。

【請求項4】  $n$ 本 ( $n$ は3以上の整数) の隣接配置される信号線と、出力端子が上記信号線に接続される駆動回路と、入力端子が上記信号線に接続される受信回路とを有する伝送回路において、上記信号線は、上記信号線の隣接組合せ種類 ( $m$ 種類) が  $m = n \cdot (n-1) / 2$  種類生成される配線ツイスト接続部を有し、 $N$ 個 ( $N = n \cdot k - 1$ 個 ( $n$ が3以上の奇数、および  $k$ は1以上の整数) または  $N = n \cdot k / 2 - 1$ 個 ( $n$ が4以上の偶数、および  $k$ は1以上の整数)) の上記配線ツイスト接続部が、上記信号線の任意の位置に配置されてなる信号配線パターンからなることを特徴とする伝送回路。

【請求項5】  $n$ 本 ( $n$ は5以上の整数) の隣接配置される信号線と、出力端子が上記信号線に接続される駆動回路と、入力端子が上記信号線に接続される受信回路とを有する伝送回路において、上記信号線は、上記信号線の隣接組合せ種類 ( $m$ 種類) が  $m = 2 \cdot (n-1)$  種類生成される配線ツイスト接続部を少なくとも1つ以上有する信号配線パターンからなることを特徴とする伝送回路。

【請求項6】 上記  $m$  種類の隣接する信号線の隣接長が等しい請求項5記載の伝送回路。

【請求項7】  $n$ 本 ( $n$ は2以上の整数) の隣接配置される信号線と、出力端子が上記信号線に接続される駆動回路と、入力端子が上記信号線に接続される受信回路とを有する伝送回路において、上記並行に隣接配置される信号線の最外側の信号線の外側にダミーの信号線、あるいはシールド線が並行に隣接配置される信号配線パターンからなることを特徴とする伝送回路。

【請求項8】  $n$ 本 ( $n$ は2以上の整数) の隣接配置される信号線と、出力端子が上記信号線に接続される駆動回路と、入力端子が上記信号線に接続される受信回路とを

有する伝送回路において、上記  $n$  本の隣接配置される信号線の2本おきに、シールド線を有することを特徴とする伝送回路。

【請求項9】 上記  $n$  本の隣接配置される信号線の2本おきに、シールド線を有する請求項1、4、5、7のいずれか記載の伝送回路。

【請求項10】 ワード線と、上記ワード線に接続されるワードドライバおよび上記ワード線に接続されるサブワードドライバあるいは上記ワード線に接続されるメモリセルを有する半導体メモリにおいて、上記ワード線の配線パターンが、上記請求項1ないし9のいずれか項記載の伝送回路の信号線配線パターンからなることを特徴とする半導体メモリ。

【請求項11】 入力信号に基づき、その真およびその相補信号が出力されるバッファ回路と、上記バッファ回路の出力に基づき解読されるデコーダドライバ回路と、上記バッファ回路の出力を伝送するバッファ出力線とを備えるデコーダ回路を有する半導体メモリにおいて、上記バッファ出力線の配線パターンが上記請求項1ないし9のいずれか記載の伝送回路の信号線配線パターンからなることを特徴とする半導体メモリ。

【請求項12】 入力信号に基づき、その真およびその相補信号が出力されるバッファ回路と、上記バッファ回路の出力に基づき解読される少なくとも1個のプリデコーダ回路と、上記プリデコーダ回路の出力に基づき解読されるデコーダドライバ回路と、上記バッファ回路の出力を伝送するバッファ出力線と、上記プリデコーダ回路の出力を伝送するプリデコーダ出力線と、を備えるデコーダ回路を有する半導体メモリにおいて、上記バッファ出力線の配線パターン、およびプリデコーダ出力線の配線パターンの何れか一方、あるいは両出力線の配線パターンが上記請求項1ないし9のいずれか記載の伝送回路の信号線配線パターンからなることを特徴とする半導体メモリ。

【請求項13】 半導体メモリと、上記半導体メモリの入出力回路と信号を送受信する駆動回路とを有する半導体集積回路において、上記信号を送受信する信号線の配線パターンが、上記請求項1ないし9のいずれか記載の伝送回路の信号線配線パターンからなることを特徴とする半導体集積回路。

【請求項14】 メモリセルと、上記メモリセルに接続されるビット線と、上記ビット線に接続されビット線電位を制御するビット線制御回路と、上記ビット線制御回路に信号を送る信号線を有する半導体メモリにおいて、上記信号線の配線パターンが上記請求項1ないし9のいずれか記載の伝送回路の信号線配線パターンからなることを特徴とする半導体メモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、隣接配置される信

号線間のカップリング容量を介して生じるカップリングノイズを低減するのに好適な伝送回路と、この伝送回路を用いた半導体メモリおよび半導体集積回路に関する。

【0002】

【従来の技術】従来の伝送回路として、図15に示される回路が知られている。同図で101は駆動回路、A～Dは長さLの信号線、Cab～Ccdは隣接信号線間のカップリング容量(Cn1とする)、Csa～Csdは信号線の対接地容量(Cs1とする)、201は受信回\*

$$V_{n1} = V_x \cdot C_{n1} / (C_{n1} + C_{s1}) \quad \dots (1)$$

【0005】

※ ※ 【数2】

$$V_{n1} = V_x \cdot C_{n1} / (2 \cdot C_{n1} + C_{s1}) \quad \dots (2)$$

【0006】

★ ★ 【数3】

$$V_{n1} = 2 \cdot V_x \cdot C_{n1} / (2 \cdot C_{n1} + C_{s1}) \quad \dots (3)$$

【0007】

【発明が解決しようとする課題】近年、特に半導体集積回路におけるプロセス技術の微細化が進み、信号線の線幅、および線間スペースが小さくなってきている。このため相対的に、上記信号線の対接地容量Cs1が小さくなり、信号線間のカップリング容量Cn1が大きくな

20 ってきている。このため、隣接する信号線に大きなカップリングノイズVn1が生じ易くなってきている。

【0008】本発明の目的は、上記カップリングノイズを低減することにある。

【0009】

【課題を解決するための手段】上記目的は、例えば伝送回路がn本(nは3以上の整数)の隣接配置される信号線を有する場合、上記信号線を、上記信号線の隣接組合せ種類(m種類)がm=n・(n-1)/2種類生成される配線ツイスト接続部を有し、かつ上記m種類の隣接

30 信号線の隣接長が等しい信号配線パターンで構成することにより達成される。

【0010】

【発明の実施の形態】図1は本発明の第1の実施例を示す。同図でA～Dは長さLの信号線、T1は配線ツイスト

$$\begin{aligned} V_{n2} &= V_x \cdot C_{n2} / (C_{n2} + C_{s2}) \\ &= V_x \cdot (C_{n1} / 2) / (C_{n1} / 2 + C_{s1}) \\ &= V_x \cdot C_{n1} / (C_{n1} + 2 \cdot C_{s1}) \quad \dots (4) \end{aligned}$$

すなわち、本実施例におけるカップリングノイズの振幅

◆ 【0012】

(数4)は、従来例の配線ツイスト無し時(数1)に対 40 【数5】し、数5の値に低減される。

$$V_{n2} / V_{n1} = (C_{n1} + C_{s1}) / (C_{n1} + 2 \cdot C_{s1}) \quad \dots (5)$$

上記方法を以下にまとめる。n本の信号線の隣接組合せ種類をm種類とすると、配線ツイスト無しの場合、mは最小でm1=(n-1)種類となる。一方、配線ツイスト有りの場合、mは最大でm2=n・(n-1)/2種類となる。したがって、このときの全m種類の隣接長を\*

$$\begin{aligned} C_{n2} / C_{n1} &= m1 / m2 \\ &= 2 \cdot (n-1) / n \cdot (n-1) \\ &= 2 / n \quad \dots (6) \end{aligned}$$

\*路である。また、Vxは信号振幅であり、Vn1はカップリングノイズの振幅を表している。本伝送回路におけるカップリングノイズの振幅Vn1を以下に示す。

【0003】B線(中線)が活性化時のA線(端線)には数1、D線(端線)が活性化時のC線(中線)には数2、D線とB線(両側)が活性化時のC線には数3で表されるカップリングノイズが発生する。

【0004】

【数1】

☆ト接続部、Cab/2～Ccd/2は信号線間のカップリング容量(Cn2とする)、Csa～Csdは信号線の対接地容量(Cs2とする)である。なお、駆動回路と受信回路は簡単化のため省略している。本実施例は、従来例(図15)と同様に信号線が4本の場合を示している。従来例と相違する点は、信号線が2等分される部分に配線ツイスト接続部T1を有することである。このため本実施例における信号線の隣接組合せ種類は、従来例が3種類(ab, bc, cd)であるのに対し、6種類(ab, bc, cd, bd, ad, ac)に増加している。そして特定の隣接組合せの信号線が隣接し合う距離(以下、隣接長という)が、6種類とも同じ長さで従来例の1/2であるため、カップリング容量Cn2=Cn1/2となる。また、信号線自体の長さは従来例と同じであるため、対接地容量Cs2=Cs1である。したがって従来例と同様、例えば信号線Bが活性化時の信号線Aに生じるカップリングノイズの振幅Vn2は、数4で表される。

【0011】

【数4】

\*等しくするならば、カップリング容量Cn2は、配線ツイスト無し時のカップリング容量Cn1に対し、数6の値に低減される。

【0013】

【数6】

全 $m$ 種類の隣接長を等しくするための1つの例は、 $n \geq 3$ の奇数の場合、信号線を $n$ 等分する場所に上記配線ツイスト接続部T1を設ける。また、 $n \geq 4$ の偶数の場合、信号線を $n/2$ 等分する場所に上記配線ツイスト接続部T1を設ける。以上により、例えば前記第1の実施例のように $n=4$ の場合、 $m_1=3$ 、 $m_2=6$ 、 $C_{n2}=2 \cdot C_{n1}/n=C_{n1}/2$ が得られる。すなわち第1の実施例の場合、カップリング容量 $C_{n2}$ は、従来例のカップリング容量 $C_{n1}$ の $1/2$ となる。

【0014】なお、配線ツイスト接続部T1のパターンは、Y軸でのミラー反転パターンでも上記と同様の効果が得られる。図2(a)、(b)に本発明の第2の実施

$$\begin{aligned} V_{n2} &= V_x \cdot C_{n2} / (C_{n2} + C_{s2}) \\ &= V_x \cdot (2 \cdot C_{n1} / 3) / (2 \cdot C_{n1} / 3 + C_{s1}) \\ &= V_x \cdot C_{n1} / (C_{n1} + 3 \cdot C_{s1} / 2) \end{aligned} \quad \cdots (7)$$

すなわち、本実施例におけるカップリングノイズの振幅(数7)は、従来例の配線ツイスト無し時(数1)に対し、数8の値に低減される。

$$V_{n2} / V_{n1} = (C_{n1} + C_{s1}) / (C_{n1} + 3 \cdot C_{s1} / 2) \cdots (8)$$

なお、配線ツイスト接続部T1のパターンは、Y軸でのミラー反転パターンでも上記と同様の効果が得られる。

図3は本発明の第3の実施例を示す。本実施例は信号線が5本( $n=5$ )の場合であり、配線ツイスト接続部T1は信号線が5等分される部分に設けられる。本実施例における信号線の隣接組合せ種類の最大 $m_2$ は、 $m_2 = n \cdot (n-1) / 2 = 10$ 種類(ab, bc, cd, de, bd, ad, ae, ce, be, ac)である。そ★

$$\begin{aligned} V_{n2} &= V_x \cdot C_{n2} / (C_{n2} + C_{s2}) \\ &= V_x \cdot (2 \cdot C_{n1} / 5) / (2 \cdot C_{n1} / 5 + C_{s1}) \\ &= V_x \cdot C_{n1} / (C_{n1} + 5 \cdot C_{s1} / 2) \end{aligned} \quad \cdots (9)$$

すなわち、本実施例におけるカップリングノイズの振幅(数9)は、従来例の配線ツイスト無し時(数1)に対し、数10の値に低減される。

$$V_{n2} / V_{n1} = (C_{n1} + C_{s1}) / (C_{n1} + 5 \cdot C_{s1} / 2) \cdots (10)$$

なお、配線ツイスト接続部T1のパターンは、X軸およびY軸でのミラー反転パターンでも上記と同様の効果が得られる。図4は本発明の第4の実施例を示す。本実施例は信号線が6本( $n=6$ )の場合であり、配線ツイスト接続部T1は信号線が3等分される部分に設けられる。本実施例における信号線の隣接組合せ種類の最大 $m_2$ は、 $m_2 = n \cdot (n-1) / 2 = 15$ 種類(ab, bc, cd, de, ef, bd, ad, af, cf, c

$$\begin{aligned} V_{n2} &= V_x \cdot C_{n2} / (C_{n2} + C_{s2}) \\ &= V_x \cdot (C_{n1} / 3) / (C_{n1} / 3 + C_{s1}) \\ &= V_x \cdot C_{n1} / (C_{n1} + 3 \cdot C_{s1}) \end{aligned} \quad \cdots (11)$$

すなわち、本実施例におけるカップリングノイズの振幅(数11)は、従来例の配線ツイスト無し時(数1)に対し、数12で与えられる値に低減される。

$$V_{n2} / V_{n1} = (C_{n1} + C_{s1}) / (C_{n1} + 3 \cdot C_{s1}) \cdots (12)$$

\*例を示す。本実施例は信号線が3本( $n=3$ )の場合であり、配線ツイスト接続部T1は信号線が3等分される部分に設けられる。本実施例における信号線の隣接組合せ種類の最大 $m_2$ は、 $m_2 = n \cdot (n-1) / 2 = 3$ 種類(ab, bc, ac)である。そして隣接長の合計が3種類共、同じ長さで従来例の $2/n=2/3$ であるため、カップリング容量 $C_{n2}=2 \cdot C_{n1}/3$ となる。したがって従来例と同様、例えば信号線Bが活性化時の信号線Aに生じるカップリングノイズの振幅 $V_{n2}$ は、数7で表される。

【0015】

【数7】

※【0016】

【数8】

★して隣接長の合計が10種類共、同じ長さで従来例の $2/n=2/5$ であるため、カップリング容量 $C_{n2}=2 \cdot C_{n1}/5$ となる。したがって従来例と同様、例えば信号線Bが活性化時の信号線Aに生じるカップリングノイズの振幅 $V_{n2}$ は、数9で表される。

【0017】

【数9】

◆e, df, bf, be, ae, ac)である。そして隣接長の合計が15種類共、同じ長さで従来例の $2/n=1/3$ であるため、カップリング容量 $C_{n2}=C_{n1}/3$ となる。したがって従来例と同様、例えば信号線Bが活性化時の信号線Aに生じるカップリングノイズの振幅 $V_{n2}$ は、数11で表される。

【0019】

【数11】

\*【0020】

【数12】

7  
 なお、配線ツイスト接続部T1のパターンは、Y軸でのミラー反転パターンでも上記と同様の効果が得られる。また、信号線本数nがn>7の場合でも上記と同様の方法によりカップリング容量が2/nに低減され、nが大きい程カップリングノイズの低減効果大きい。以上の第1～第4の実施例では、信号線本数nがn≧3の奇数の場合、上記配線ツイスト接続部T1が信号線をn・k等分する場所に設けられる。また信号線本数nがn≧4の偶数の場合、上記配線ツイスト接続部T1が信号線をn・k/2等分する場所に設けられている(ただし、kは繰り返し回数であり1以上の整数であるが、第1～第4の実施例では必要最小限のk=1が想定されている)。ここで配線ツイスト接続部T1の個数をNとして換言すると、本発明での配線ツイスト接続部T1は、n≧3の奇数の場合、信号線をn・k等分する場所に、N=n・k-1個設けられる。また、n≧4の偶数の場合、信号線をn・k/2等分する場所に、N=n・k/2-1個設けられることになる。つぎに前記図1に示されている第1の実施例(n=4、k=1、N=1)をk=2の構成にした場合の実施例について説明する。その実施例を第5の実施例として図5に示す。k=2ゆえに、N=3個となっている。本実施例における信号線の隣接組合せ種類の最大m2は、 $m2 = n \cdot (n-1) / 2 = 6$ 種類(ab, bc, cd, bd, ad, ac)であり、繰り返し回数k=2であるため、その6種類が2セット存在する。そして隣接長の合計が6種類共、同じ長さで従来例の2/n=1/2であるため、カップリング容量Cn2=Cn1/2となる。また、Cs2=Cs1である。したがって、Cn2およびCs2が第1の実施例と同じになり、第1の実施例と同じカップリングノイズの低減効果が得られる。

【0021】一般的に、第1の実施例に対する本実施例のように繰り返し回数kが大きい程、レイアウトが複雑化しよくない。しかし繰り返し回数kが大きい程有益な点は、各配線ツイスト接続部T1間(T1-T1間)の距離が短縮され、そのT1-T1間の配線抵抗が小さくなることである。このため本実施例によれば、配線容量Cと配線抵抗RによるCR時定数が小さくなり、一旦発\*

$$\begin{aligned} Cn2/Cn1 &= m1/m2 \\ &= (n-1)/2 \cdot (n-1) \\ &= 1/2 \end{aligned}$$

図7は本発明の第7の実施例であり、全m種類の隣接長を等しくするための別の構成例を示す。本実施例は前記第6の実施例で信号線を4等分する場所に配線ツイスト接続部T1およびT2を交互に配置する。なお、配線ツイスト接続部T2は、配線ツイスト接続部T1をY軸に対してミラー反転したパターンである。このように信号線を偶数等分する場所に、その(等分数-1)個の上記配線ツイスト接続部T1およびT2を交互に配置する。

【0024】本実施例により、カップリング容量Cn2 50

\*生じたカップリングノイズが定常電位に復帰する時間が短縮される。このようなk≧2の構成は、説明を省略するが前記第2～第4の実施例にも適用される。

【0022】以上これまでにカップリング容量を従来例の2/nに低減する実施例について説明してきた。しかし、上記方法は信号線本数nがn≧5の場合、最小限必要な配線ツイスト接続部T1の個数が多くなり、レイアウトが複雑化してくる。例えば前記図3に示される第3の実施例は、信号線本数nがn=5の場合であり、カップリング容量を従来例の2/n=2/5に低減できるが、配線ツイスト接続部T1を4個所に設ける必要がある。以下では信号線本数nがn≧5の場合で、カップリング容量を従来例の2/nまでは低減できないが1/2に低減でき、より簡単なレイアウトで済む実施例について説明する。図6は本発明の第6の実施例を示す。本実施例は図3に示される第3の実施例と同様に信号線が5本(n=5)の場合であるが、第3の実施例と相違する点は配線ツイスト接続部T1が信号線を2等分する部分にのみ設けられていることである。本実施例における信号線の隣接組合せ種類の最大m2は、 $m2 = 2 \cdot (n-1) = 8$ 種類(ab, bc, cd, de, bd, ad, ae, ce)である。また、隣接長の合計が8種類共、同じ長さで従来例の1/2であるため、カップリング容量Cn2=Cn1/2となる。すなわち本実施例によれば、配線ツイスト接続部T1を1個所にのみ設けることで、カップリング容量を従来例の1/2にできる。したがって本実施例によれば、前記図3に示される第3の実施例の場合の2/5と大差ない効果が、簡単なレイアウトで得られる。上記方法を以下にまとめる。n本の信号線の隣接組合せ種類をm種類とすると、配線ツイスト無しの場合、m1=(n-1)種類でこれが最小の組合せ数となる。一方、配線ツイスト有りの場合、mは最大でm2=2·(n-1)種類となる。したがって、このときの全m種類の隣接長を等しくするならば、このときのカップリング容量Cn2は配線ツイスト無し時のカップリング容量Cn1に対し、数1/3に低減される。

【0023】

【数13】

$$\dots\dots\dots (13)$$

は配線ツイスト無し時のカップリング容量Cn1の1/2となる。したがって、本実施例によれば第6の実施例および第1の実施例と同様のカップリングノイズ低減効果が得られる。

【0025】図8は本発明の第8の実施例を示す。本実施例は図15に示した第1の従来例と同様、配線ツイスト接続部が無い構成であるが、信号線AおよびDの外側にダミーの信号線(あるいはシールド線)DM1、DM2を備える。第1の従来例の場合、信号線AあるいはD

(端線)のカップリング容量は片側(CabあるいはCcd)のみであるが、信号線BあるいはC(中線)のカップリング容量は両側(Cab, CbcあるいはCbc, Ccd)にある。そして後者(中線)の場合、両側のうちの一方のカップリング容量が対接地容量として働くため、前者(端線)よりカップリングノイズが小さい(図15の前記第1の従来例で説明の数1と数2を参照)。これに対し本実施例は、信号線AおよびDの外側にダミーの信号線DM1およびDM2を備えるため、信号線AおよびDも中線となりカップリングノイズが低減される。

【0026】つぎにシールド線を利用してカップリングノイズを低減する方法について説明する。まず第2の従来例を図16に示す。この従来例は、第1の従来例の信号線A~Dの各々の線間にシールド線G1~G3を追加した構成である。この場合、信号線A~Dにはシールド線G1~G3によりカップリングノイズが完全に生じなくなる。しかしながら、このような完全なシールド構成では信号線本数をn本とすると、シールド線の本数が(n-1)本必要となり、高集積化が難しくなる。

【0027】以下では、本発明による、シールド線の本数が(n-1)本より少なく、かつカップリングノイズを許容範囲内に低減可能な実施例について説明する。

【0028】図9は本発明の第9の実施例を示す。本実施例は図15に示される第1の従来例と同様、配線ツイスト接続部が無い構成であるが、信号線BとCの間にシールド線Gを備える。すなわち、シールド線Gがn本の信号線の2本毎に備えられる構成であり、シールド線の\*

$$\begin{aligned} V_{n2} &= V_x \cdot C_{n2} / (2 \cdot C_{n2} + C_{s2}) \\ &= V_x \cdot (C_{n1} / 2) / (2 \cdot C_{n1} / 2 + C_{s1}) \\ &= V_x \cdot C_{n1} / 2 \cdot (C_{n1} + C_{s1}) \quad \dots (14) \end{aligned}$$

第1の実施例(シールド線Gが無く、配線ツイストが有る)の場合、信号線AとBあるいはAとCが活性化されるとき、信号線CおよびDあるいはBおよびDに生じる\*

$$\begin{aligned} V_{n2} &= 2 \cdot V_x \cdot C_{n2} / (2 \cdot C_{n2} + C_{s2}) \\ &= 2 \cdot V_x \cdot C_{n1} / (2 \cdot C_{n1} + 2 \cdot C_{s1}) \\ &= V_x \cdot C_{n1} / (C_{n1} + C_{s1}) \quad \dots (15) \end{aligned}$$

したがって、数14の $V_{n2}$ は数15の $V_{n2}$ の1/2であり、これはシールド線Gによる効果である。

【0033】さらに、図15に示される第1の従来例(シールド線Gが無く、配線ツイストも無い)の場合、★

$$V_{n2} = 2 \cdot V_x \cdot C_{n1} / (2 \cdot C_{n1} + C_{s1}) \quad \dots (16)$$

数14の $V_{n2}$ は数16の $V_{n2}$ に比較して約1/4に低減されており、これはシールド線Gと、配線ツイストによる効果である。

【0035】つぎに、本伝送回路を半導体集積回路および半導体メモリに適用した例について述べる。図11は第11の実施例として、半導体集積回路の全体ブロック図を示す。半導体集積回路M13は、半導体メモリマクロM1、メモリセルアレイM2、ロウデコーダおよびワ

\*本数は $(n/2-1)$ 本となる。本実施例によれば、図15の前記第1の従来例の数3で説明のような両側の信号線が活性化されるケースが防止されるため、カップリングノイズは数3の1/2に低減される。

【0029】図10は本発明の第10の実施例を示す。本実施例は配線ツイスト接続部を有する第1の実施例を基にし、さらに信号線BとCの間にシールド線Gを備える構成である。本実施例もシールド線Gがn本の信号線の2本毎に備えられる構成であり、シールド線の本数は $(n/2-1)$ 本となる。

【0030】本実施例の構成は、例えば相補信号が出力される半導体メモリのアドレスバッファの出力線に適用される場合、特に有益である。ただし条件として、図10に示したように、例えばアドレスバッファXB1の出力XBO1が信号線Aに接続され、その相補出力/XBO1が信号線Dに接続される構成とする。また、アドレスバッファXB2の出力XBO2が信号線Bに接続され、その相補出力/XBO2が信号線Cに接続される構成とする(なお、この場合のバッファはスタティック動作ではなく、プリチャージ期間と判定期間を有するダイナミック動作をする回路と仮定する)。すなわち、信号線AとD、あるいは信号線BとCが同時に活性化されない構成とする。これにより、例えば信号線AとB、あるいはAとCが活性化されるとき、信号線CおよびD、あるいはBおよびDに生じるカップリングノイズの振幅 $V_{n2}$ は数14で表される。

【0031】

【数14】

\*カップリングノイズの振幅 $V_{n2}$ は数15で表される。

【0032】

【数15】

★信号線AとCが活性化されるとき、信号線Bに生じるカップリングノイズの振幅 $V_{n2}$ は数16で表される。

【0034】

【数16】

ードドライバM3、ロウブリデコーダM4、ロウアドレスバッファM5、読み出し書き込み回路M6、カラムデコーダおよびドライバM7、カラムブリデコーダM8、カラムアドレスバッファM9、読み出し書き込み制御回路M10、出力回路M11、および半導体メモリマクロM1の各入出力回路と信号を送受信する各駆動回路M12A~M12Dを有する。

【0036】メモリセルアレイM2は、メモリセル選択

端子がワード線に接続され、メモリセル出力端子がビット線に接続される多数のメモリセルを有し、それらメモリセルはマトリクス状に配置されている。

【0037】ロウアドレスバッファM5は、ロウアドレス信号を内部相補アドレス信号に変換し、これをロウブリデコーダM4が解読し、さらにそれをロウデコーダおよびワードドライバM3が解読し、それによって選ばれたワード線を選択レベルに駆動する。カラムアドレスバッファM9は、カラムアドレス信号を内部相補アドレス信号に変換し、これをカラムブリデコーダM8が解読し、さらにそれをカラムデコーダおよびドライバM7で解読する。

【0038】ビット線は、カラムデコーダおよびドライバM7による解読結果にしたがって選択される。このようにして、ロウアドレス信号およびカラムアドレス信号で指定されるメモリセルが選択されることになる。

【0039】このような構成の半導体集積回路において、半導体メモリマクロM1の各入出力回路であるM5、M9、M10、M11と送受信する各駆動回路M12A～M12Dとを接続する信号線を前記実施例の信号線で構成する。同様にM5とM4、M4とM3、M9とM8、M8とM7、M7とM6、M10とM6、M6とM11を接続する信号線を前記実施例の信号線で構成する。

【0040】第12の実施例として、上記ロウアドレスバッファM5とロウブリデコーダM4を、例えば上記第10の実施例で説明の配線方法で接続する構成を図12に示す。本実施例は4つのアドレス信号A1～A4をアドレスバッファXB1～XB4で受けて、ブリデコード回路M4の出力PD1～PD16をデコードする構成である。

【0041】アドレスバッファXB1、XB2の出力線XBO1～/XBO2とシールド線G1の組(第1の組)が、上記第10の実施例のように結線されている。また、アドレスバッファXB3、XB4の出力線XBO3～/XBO4とシールド線G3の組(第2の組)が、上記第10の実施例のように結線されている。そして、出力線/XBO1とXBO3の間にシールド線G2が挿入され、上記第1の組と第2の組が完全に分離されている。

【0042】このため、カップリングノイズは上記第1の組のみ、および第2の組のみで考えればよく、上記第10の実施例で説明したように第1の従来例の約1/4に低減される。また第2の従来例のような構成において信号線が8本の場合には、シールド線は7本( $n-1$ 本)必要とされるのに対し、本実施例では信号線が8本でもシールド線は3本( $n/2-1$ 本)で済む利点がある。

【0043】つぎに、第13の実施例を図13に示す。

本実施例は、上記ワードドライバM3の出力線であるワ

ード線が、例えば前記第1の実施例で説明のように配線される構成である。

【0044】図13(a)はメモリセルアレイM2の端にワードドライバM3が設けられる構成である。この場合、前述のようにワード線のカップリングノイズは低減されるが、ワード線A～Dの配線ツイスト接続部T1をメモリセルアレイM2の中に備えることになる。

【0045】図13(b)はメモリセルアレイM2の中央にワードドライバM3が設けられる構成である。この場合、同図のようにワード線A～Dの配線ツイスト接続部T1をワードドライバM3の中だけに備えることも可能になり、メモリセルアレイM2の複雑化が避けられる。なお、配線ツイスト接続部T1を複数備え、ワードドライバM3とメモリセルアレイM2の両方に配置する構成でもよい。

【0046】図14は本発明の第14の実施例を示す。本実施例はカラムデコーダおよびドライバM7の出力線で、読み出し書き込み回路(あるいはビット線制御回路)M6を駆動する場合を示し、出力線は一例として上記第10の実施例で説明の配線方法で接続される。

【0047】カラムデコーダおよびドライバM7の出力線は上記ワード線のダミー線と考え、その線幅および線間スペースをワード線と同じに構成するほうが、ワード線と上記出力線とのタイミングのズレを小さくできるため、それらの線幅および線間スペースをワード線の場合と同様に小さくすることが想起される。このような構成では、上記出力線も本実施例のようなツイストによりカップリングノイズを低減する必要性が生じ、本発明が効果を発揮する。

【0048】

【発明の効果】本発明によれば、隣接配置される信号線の線間容量を介して生じるカップリングノイズの低減が図られる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す伝送回路の配線図。

【図2】本発明の第2の実施例を示す伝送回路の配線図。

【図3】本発明の第3の実施例を示す伝送回路の配線図。

【図4】本発明の第4の実施例を示す伝送回路の配線図。

【図5】本発明の第5の実施例を示す伝送回路の配線図。

【図6】本発明の第6の実施例を示す伝送回路の配線図。

【図7】本発明の第7の実施例を示す伝送回路の配線図。

【図8】本発明の第8の実施例を示す伝送回路の配線図。

【図9】本発明の第9の実施例を示す伝送回路の配線図。

【図10】本発明の第10の実施例を示す伝送回路の配線図。

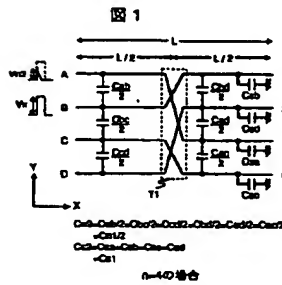
【図11】本発明の第11の実施例を示すブロック図。

【図12】本発明の第12の実施例を示すブロック図。

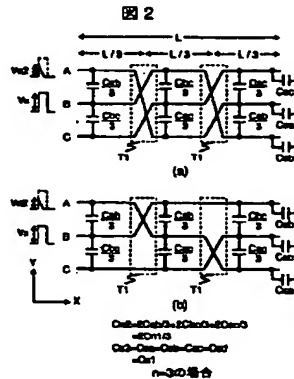
【図13】本発明の第13の実施例を示すブロック図。

【図14】本発明の第14の実施例を示すブロック図。

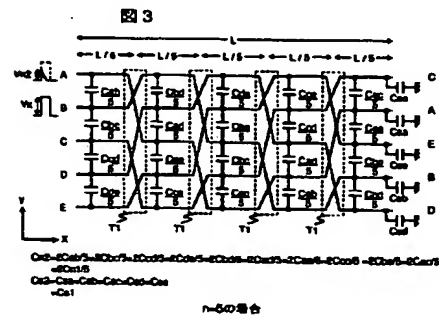
【図1】



【図2】

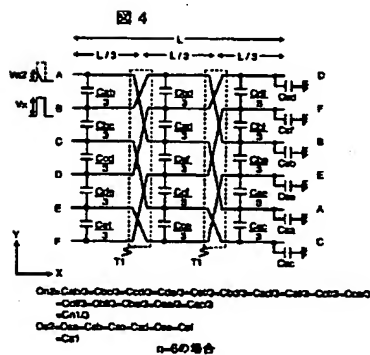


【図3】

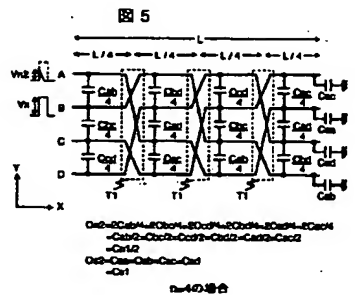


【図6】

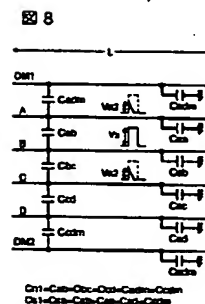
【図4】



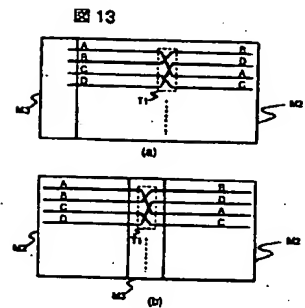
【図5】



【図8】



【図 13】



【图 15】

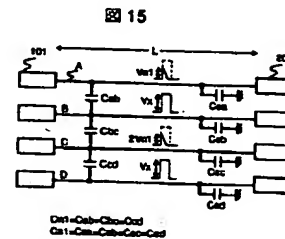


图 16

The diagram illustrates a four-channel transmission line structure. It consists of four parallel horizontal lines, labeled A, B, C, and D from top to bottom. Each line is terminated at both ends with a resistor. Line A has a series capacitor  $C_{q1}$  and a shunt capacitor  $C_{q5}$  connected to a common ground line. Line B has a series capacitor  $C_{q2}$  and a shunt capacitor  $C_{q6}$  connected to the same ground line. Line C has a series capacitor  $C_{q3}$  and a shunt capacitor  $C_{q7}$  connected to the same ground line. Line D has a series capacitor  $C_{q4}$  and a shunt capacitor  $C_{q8}$  connected to the same ground line. A voltage source  $V$  is connected between lines A and B. A dimension line at the top indicates a length  $L$  between two points labeled 101 and 102.

(72)発明者 荒川 文彦  
千葉県茂原市早野3681番地 日立デバイス  
エンジニアリング株式会社内  
(72)発明者 楠 武志  
千葉県茂原市早野3681番地 日立デバイス  
エンジニアリング株式会社内

(72)発明者 日下田 恵一  
東京都青梅市新町六丁目16番地の3 株式  
会社日立製作所デバイス開発センタ内  
(72)発明者 中原 茂  
東京都青梅市新町六丁目16番地の3 株式  
会社日立製作所デバイス開発センタ内

(72)発明者 鈴木 武史  
東京都青梅市新町六丁目16番地の3 株式  
会社日立製作所デバイス開発センタ内  
Fターム(参考) 5B024 AA03 BA05 BA13 CA09 CA21  
5F083 AD00 GA03 GA12 LA12 LA16  
ZA28